

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-170387

(43)Date of publication of application : 14.06.2002

(51)Int.Cl. G11C 11/407  
G11C 11/403  
G11C 11/408

(21)Application number : 2001-197217

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 28.06.2001

(72)Inventor : JO SEOUNG-KUE

(30)Priority

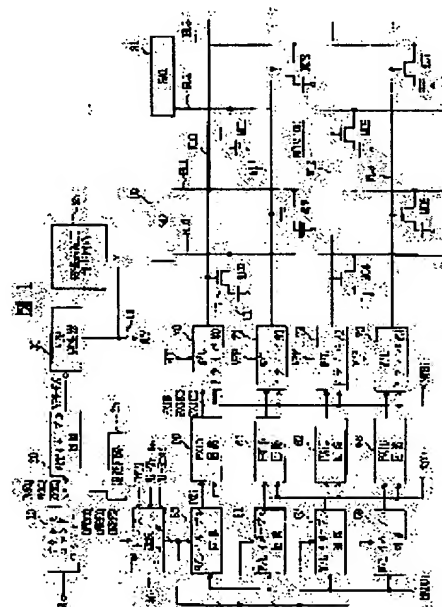
Priority number : 2000 200069833 Priority date : 23.11.2000 Priority country : KR

## (54) SEMICONDUCTOR DEVICE HAVING HIGH VOLTAGE GENERATOR, AND ITS HIGH VOLTAGE SUPPLY METHOD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a high voltage generator being suitable for adopting to a semiconductor memory which has a memory cell refreshing stored data, in which a refresh-function is performed internally and which is operated with timing conditions such as that of a SRAM (static random access memory) product, and a high voltage supply method.

**SOLUTION:** In a semiconductor memory performing static RAM operation interface, the device has plural refresh type memory cells MCn provided at intersections of plural word lines and plural bit lines, a high voltage generator 30 providing higher high voltage than power source voltage to a standby high voltage output node in accordance with a drive control signal provided only in a memory cell access operation section, and a drive control signal generating section 30 generating a drive control signal VPP-EN in accordance with command information applied so that a point of time of drive of the high voltage generator is made earlier than a point of time of charge consumption in the standby high voltage output node in the memory cell access operation section.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**


---

[Claim(s)]

[Claim 1] In the semiconductor memory equipment which interfaces static RAM actuation Two or more refresh-type memory cells with which the intersection of two or more WORD lines and two or more bit lines is provided, The high-voltage generator which provides a standby high-voltage output node with the high voltage higher than a power-source electrical potential difference according to the drive control signal offered only at the memory cell access actuation section, It responds to the command information impressed in order to make it the drive time of said high-voltage generator become in said memory cell access actuation section earlier than the time [ exhausting / by said standby high-voltage output node / charge ]. Semiconductor memory equipment characterized by having the drive control signal generating section which generates said drive control signal.

[Claim 2] It is semiconductor memory equipment according to claim 1 characterized by corresponding when enabling the WORD line chosen among said WORD lines at the time [ exhausting / said / charge ].

[Claim 3] Said command information is a lead, a light, and semiconductor memory equipment according to claim 1 characterized by being a refresh command related signal.

[Claim 4] Semiconductor memory equipment according to claim 1 characterized by providing further the WORD line drive related internal circuitry which the WORD line chosen among said WORD lines when only fixed time amount was delayed for the drive time of said high-voltage generator is made AKUCHIBESHON.

[Claim 5] The semiconductor device which carries out [ providing the internal electrical power source electrical-potential-difference generating section which receives an external power-source electrical potential difference, and generates an internal electrical power source electrical potential difference, the internal circuitry which receive said internal electrical power source electrical potential difference, and operates, and the drive control signal generating section which carry out the seal of approval of the drive control signal to said internal electrical power source electrical-potential-difference generating section in order to carry out the charge supply time of said internal electrical power source electrical-potential-difference generating section earlier than the time of charge of said internal electrical power source electrical potential difference beginning to be exhausted by said internal circuitry, and ] as the description.

[Claim 6] Said internal electrical power source electrical potential difference of said internal electrical power source electrical-potential-difference generating section is a semiconductor device according to claim 5 characterized by being a high voltage higher than said external power-source electrical potential difference.

[Claim 7] Said semiconductor device is a semiconductor device according to claim 5 characterized by being semiconductor memory equipment which performs a static RAM actuation interface with a DRAM cel.

[Claim 8] It is the semiconductor device according to claim 7 characterized by being at the time before the time of enabling the WORD line chosen among the WORD lines connected with said DRAM cel at the time [ exhausting / said / charge ].

[Claim 9] The semiconductor device according to claim 7 characterized by providing the static high-voltage generator connected common to the output node of said internal electrical power source electrical-potential-difference generating section.

[Claim 10] The internal electrical power source electrical-potential-difference generating section is a semiconductor device according to claim 6 characterized by having two or more pumping capacitors for carrying out boosting of said power-source electrical potential difference by the high voltage.

[Claim 11] Two or more refresh-type memory cells connected with the intersection of two or more WORD lines and two or more bit lines are provided. The step which receives the external command information which is an approach for controlling the high-voltage generator adopted in the semiconductor memory equipment which interfaces static RAM actuation, and is impressed in the access actuation section of said memory cell, The approach characterized by having the step which provides said high-voltage generator with the drive control signal for making it the charge supply time of said high-voltage generator consist of a time of charge being exhausted by the output node of said high-voltage generator early based on said received external command information.

[Claim 12] Said external command information is a lead, a light, and an approach according to claim 11 characterized by being a refresh command related signal.

[Claim 13] The semiconductor-memory equipment characterized by to have the WORD line drive related internal circuitry the actuation time of the internal electrical power source electrical-potential-difference generator which offers high potential alternatively compared with an external power electrical potential difference, and said internal electrical power source electrical-potential-difference generator is made a charge supply time become from the time [ exhausting / to said high potential in the memory cell drive related circuit of said semiconductor-memory equipment / charge ] early in the semiconductor-memory equipment which performs static RAM actuation.

[Claim 14] Two or more refresh-type memory cells connected in the semiconductor memory equipment which performs static RAM actuation between two or more WORD lines and two or more bit lines, The access command buffer which outputs the output signal which inputs an address signal, a chip enable signal, and an external signal including a write enable signal, and includes a lead, a light, and a refresh command related signal, The high-voltage enabling circuit which receives at least one of said output signals, and outputs the drive control signal for high-voltage generating, When only fixed time amount is delayed for the time of the high voltage being generated by the high-voltage generator which generates the high voltage according to said drive control signal, and said high-voltage generator Semiconductor memory equipment characterized by providing the internal circuitry which makes the WORD line chosen among said WORD lines drive by said high voltage.

[Claim 15] The delay circuit where only fixed time amount delays for it and outputs the output signal to which said internal circuitry is outputted with said access command buffer, The address selection decoder which receives said delayed output signal and outputs an address decoding signal, Said address decoding signal and block-address signal are received. Semiconductor memory equipment according to claim 14 characterized by including the line decoder circuit which outputs a line decoding signal, and the WORD line driver which drives said selected WORD line by said high voltage according to said line decoding signal.

[Claim 16] Semiconductor memory equipment according to claim 14 characterized by providing the standby high-voltage generator connected common to the output node of said high-voltage generator.

[Claim 17] Said standby high-voltage generator is semiconductor memory equipment according to claim 16 characterized by generating the electrical potential difference of the same level as said high voltage at the time of standby actuation.

[Claim 18] Two or more refresh-type memory cells connected with the intersection of two or more WORD lines and two or more bit lines are provided. The step which inputs the external command signal which is an approach for controlling the high-voltage generator adopted in the semiconductor memory equipment which performs a static RAM actuation interface, and is impressed in the access actuation section of said memory cell, and generates a command output signal, The step which an electrical potential difference is supplied to an internal circuitry, and is delayed in said command output signal, The step which supplies said delayed command output signal to said internal circuitry since said WORD line is driven alternatively is provided. The approach that the time of AKUCHIBESHON [ said WORD line ] is characterized by making it only fixed time amount delayed for the supply time of said high voltage.

[Claim 19] By being impressed by the address selection decoder, said delayed command output signal is an approach according to claim 18 characterized by generating an address decoding signal.

[Claim 20] Said internal circuitry is a WORD line enabling circuit, a line decoder circuit, and an approach according to claim 19 characterized by including a WORD line driver.

[Claim 21] Said WORD line enabling circuit is an approach according to claim 20 characterized by receiving said decoding address and line block address, and outputting a line address coding signal as high-voltage level.

[Claim 22] It is the approach according to claim 18 characterized by being earlier than the time [ exhausting / of said internal circuitry / charge ] at said high voltage supply time.

[Claim 23] Said charge consumption is an approach according to claim 22 characterized by happening by said internal circuitry at the front at the time of enabling said WORD line after said high voltage is supplied.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The field of the technique in which invention belongs] This invention relates to the field of a semiconductor device, has the memory cell which should be refreshed for the data stored especially, and it relates to the semiconductor device which has the high-voltage generator which suited adopting it as the semiconductor memory equipment which operates on timing conditions like a SRAM (static random access memory) product externally, and its high voltage supply approach, performing a refresh function internally.

[0002]

[Description of the Prior Art] Generally, random access memory (RAM) stores electronic data individually in the addressable array of the element known as a memory cell. Many two fundamental RAM cells are used. a static RAM (SRAM) cel and a dynamic RAM (DRAM) cel -- then, it is. A SRAM cel has the static latching structure (from six transistors or four transistors, and two resistance to for example, a configuration) where data can be stored indefinitely. A DRAM cel has a storage node (for example, one capacitor) and a single access transistor. Here, while said storage node is charged, data are stored in a cel.

[0003] Since charge exsorption occurs with all capacitors, a DRAM cel has the property that data cannot be stored eternally. The charged storage node discharges and generates a data error after all. In order to prevent such a phenomenon, periodic "refresh" actuation is required for a DRAM cel. That is, the recharge of the charge cel must be carried out. Such a periodic refresh function is performed in a number of times per second, or each cel, and prevents a data loss. For this reason, before a data loss occurs, the refresh circuit which performs a DRAM refresh function is required of each cel. In the first stage DRAM (DRAM which operates on timing conditions like a SRAM product externally especially), the required refresh circuit was functioned according to control of an external storage controller. Recently, since most DRAMs possess the internal logical circuit where the refresh circuit was unified, an "internal refresh function" can be performed.

[0004] In spite of such an inconvenient property, DRAM has a different advantage from SRAM. A single figure small thing is mentioned rather than the SRAM memory cell manufactured through the process to which the magnitude of a DRAM memory cell was similar also in it. Thus, the magnitude is reduced, the costs of equipment are reduced and the data of many in the same memory costs can be stored. Therefore, it is required that DRAM which can substitute for SRAM, without adding an additional external operating condition to a circumference circuit should be developed.

[0005] It is very important to, secure efficient actuation of DC generator in actuation of a semiconductor device on the other hand because of the performance of equipment actuation. Then, many efforts for such a generator to enable it to operate more stably and an attempt are performed. As especially shown in drawing 5, in the case of the memory device which adopted the DRAM memory cell (MC00) which consists of one transistor and one capacitor, the pressure up of the supply voltage is carried out, and the booster circuit 2 which generates the electrical potential difference VPP with potential higher than supply voltage is adopted. Said booster circuit 2 called a high-voltage generator or boosting circuit provides with the high voltage VPP the internal circuitry WD0 which generates the high voltage to which only fixed level carried out the pressure up of the supply voltage using the internal pumping capacitance 22, and needs the electrical potential difference by which boosting was carried out, for example, the WORD line driver which drives a WORD line.

[0006] For example, in semiconductor devices, such as DRAM, the control approach of of the booster

circuit and booster circuit which offer selection level to a WORD line is indicated by Mr. Yamada at U.S. Pat. No. 5,610,863 by which patent grant was carried out on March 11, 1997. Said drawing 5 is illustrated by drawing 2 of said United States patent. The boosting control signal generating circuit for providing said booster circuit with a boosting control signal is indicated so that the WORD driver for connecting the output terminal of said booster circuit with a corresponding WORD line according to the booster circuit which generates the high voltage higher than a power-source electrical potential difference, and the WORD selection signal offered between the active sections may be provided in said United States patent and boosting actuation of said boosting circuit may be made to follow it for a long time than said active section. Since boosting of a booster circuit is performed by having such a configuration for a long time than the active section, the high voltage demanded for lead actuation comes to be offered, so that it can be satisfied with a WORD line, even when it is the short cycle time, and the dependability of memory is improved.

[0007] However, said United States patent does not have a solution over the problem which a level fall generates, when high-voltage charge is supplied in early stages of the active section. The problem over the electrical-potential-difference drop of high-voltage charge which it is at the time [ exhausting / of such high-voltage charge ], and is generated becomes clearer by the following explanation.

[0008] In order that a WORD line enabling-for memory cell access time may be determined depending on the external timing impressed at random and actuation of the conventional DRAM may shortest-ize access time, WORD line enabling pass is formed with the shortest pass on the basis of the time. In this case, when supplying charge of high-voltage level, in order to minimize the charge consumption by \*\*\*\*, an applicable WORD line enabling time must be determined as criteria. And since a high-voltage generator generates charge with the boosting method which used pumping capacitance, the precharge time of a boosting node edge becomes long. Moreover, a ball race (race) required for boosting is protected at the transfer time of the charge supplied on the basis of an applicable WORD line enabling time, and it must be determined. Then, where the level of the high voltage is maintained by the standby mode of semiconductor memory, compared with the time of exhausting charge of high-voltage VPP level first, it actually becomes late at the charge supply time of a high-voltage generator. For this reason, if the potential of the high voltage VPP concerned is seen when exhausting the high voltage VPP first in fact, in the case of DRAM with the supply voltage of 3 and 3V, compared with a reference potential, about 0.5 thru/or an about [ 0.7V ] electrical-potential-difference drop will usually appear. Such an electrical-potential-difference drop brings about delay with the chain (chain) using the power source concerned, and when excessive, it makes failure in memory cell actuation induced. Although mentioned later, when a high-voltage generator is enabled according to WORD line (W/L) enabling (VPP\_EN), it is shown by drawing 3 that high-voltage VPP level is dropped. In a drawing, the time point t1 shows the time [ exhausting / of the beginning of VPP charge ], and the time point t2 puts the supply time of VPP charge. In order according to such timing of operation for the electrical-potential-difference drop of only the level displayed with the sign G1 to take place and to induce failure in memory cell actuation, the performance fall of a semiconductor device will be invited after all.

[0009] Then, the actual condition is that the desirable technique for solving the problem of said charge drop is demanded.

[0010]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the improved technique which can solve the above conventional troubles.

[0011] Other purposes of this invention are to offer the semiconductor device which adopted the improved high-voltage generator, and its approach of operation.

[0012] Other purposes of this invention are again to offer the motion-control approach of controlling a high-voltage VPP generator effectively and preventing the electrical-potential-difference drop of the high voltage VPP.

[0013] Other purposes of this invention are again to offer the high voltage supply approach of following the semiconductor device and it which can minimize or decrease the electrical-potential-difference drop at the time [ exhausting / actual / high-voltage charge ].

[0014]

[Means for Solving the Problem] In order to attain such a purpose, the semiconductor device concerning this invention The internal electrical power source electrical-potential-difference generating section which receives an external power-source electrical potential difference, and generates an internal electrical power source electrical potential difference, In order to carry out the charge supply time of said internal electrical power source electrical-potential-difference generating section earlier than the time of charge of

said internal electrical power source electrical potential difference beginning to be exhausted by the internal circuitry which receives said internal electrical power source electrical potential difference, and operates, and said internal circuitry It is characterized by providing the drive control signal generating section which impresses a drive control signal to said internal electrical power source electrical-potential-difference generating section.

[0015] preferably, when said semiconductor device is semiconductor memory equipment which performs a static RAM actuation interface, it has come out to provide two or more refresh-type memory cells with which the intersection of two or more WORD lines and two or more bit lines is provided. Moreover, said internal electrical power source electrical-potential-difference generating section is a high-voltage generator which provides a standby high-voltage output node with the high voltage higher than a power-source electrical potential difference according to the drive control signal offered only at the memory cell access actuation section.

[0016] Since the electrical-potential-difference drop at the time [ exhausting / of actual high-voltage charge ] can be minimized according to such a configuration, the dependability of memory cell access actuation is secured, the size of the pumping capacitor in a high-voltage generator can be reduced, and the layout of a circuit decreases.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained using a drawing. the inside of drawing -- mutual -- the same or a similar part -- the desire to have a bowel movement of explanation and an understanding -- it is indicated by the same thru/or the similar sign a top.

[0018] Drawing 1 is the high-voltage generator applied to the semiconductor device according to the gestalt of 1 operation of this invention, and a WORD line drive-related circuit block diagram. Moreover, drawing 2 is the concrete circuit diagram showing some examples of the circuit block in drawing 1.

[0019] As shown in drawing 1, the refresh-type memory cells MC0, MC1, MC2, MC3, ..., MC7 in the memory cell array 100 are connected at the crossing of the WORD lines WL0, WL1, WL2, and WL3 and the bit lines BL0, BL1, BL2, and BL3 which make the matrix of two or more row and columns. The block sense amplifiers 80 and 81 are connected with the bit line which corresponds in the upper part of a drawing.

[0020] The high-voltage VPP generator 30 provides the standby high-voltage output node L1 with the high voltage higher than the power-source electrical potential difference IVCC according to drive control signal VPP\_EN offered only at the memory cell access actuation section. The concrete example of said high-voltage VPP generator 30 consists of inverters I9 and I10, the capacitors C1, C2, C3, and C4 for pumpings and transistors T1 and T2 for a drive, T3, and T four, as shown in the block 30 of drawing 2.

[0021] The VPP enabling circuit 20 which functions as the drive control signal generating section generates said drive control signal VPP\_EN according to the command information PREQ, WREQ, and RREQ impressed, in order to make it the drive time of said high-voltage generator 30 in said memory cell access actuation section become earlier than the time [ exhausting / by said standby high-voltage output node L1 / charge ]. Here, said command information is a lead, a light, and a refresh command related signal, respectively.

[0022] As the example of said VPP enabling circuit 20 is shown in the block 20 of drawing 2 R> 2 A lead, a light, and NOR-gate NOR1 that receives the refresh command related signals PREQ, WREQ, and RREQ, and generates a NOR output, The inverter chain ICH by which only predetermined time is delayed in the output of said NOR-gate NOR1, NAND gate NAN1 which receives the output ICH of said inverter chain, and the output of said NOR-gate NOR1, and generates a NAND output, the 1st inverter I7 which carries out Invar TINGU of the output of said NAND gate, and the 2nd inverter I8 which reverses the output of said 1st inverter I7 -- since -- it is constituted.

[0023] The standby high-voltage generating circuit 35 generates the section VPP of operation when a semiconductor device does not perform access actuation, i.e., the high voltage which was fixed also at the time of a standby mode. In order to minimize power consumption, the current drive capacity of said standby high-voltage generating circuit 35 is relatively small when comparing with the current drive capacity of said high-voltage VPP generator 30. Here, the details configuration of said standby high-voltage generating circuit 35 is well-known for a person with the usual knowledge of this field.

[0024] As one of the WORD line drive related circuits, the access command buffer 10 carries out the buffer ring of the signal impressed through an input edge, for example, a lead, a light, and the refresh command related signals PREQ, WREQ, and RREQ, and outputs them. Here, said lead, a light, and the refresh command related signals PREQ, WREQ, and RREQ are directly impressed to said VPP enabling



circuit 20, and the lead and light by which only fixed time amount was delayed by the delay circuit 25, and the refresh command related signals DPREQ, DWREQ, and DRREQ are impressed to the address selection decoder 40. Here, said delay circuit 25 consists of usual delay elements. With a semiconductor device, a lead and a light instruction are started, when signal transition occurs at one or more external input edges among the external input edges which input address signal ADDi, the chip enable (it is called "chip select") signal CSB, and the write enable signal WEB.

[0025] the address CNTi offered by said related signals DPREQ, DWREQ, and DRREQ and refresh to which a lead, a light, or the address selection decoder 40 with which the address which is different according to refresh mode, respectively is received is impressed as a control signal, the light, and the Read mode, Ai\_Write, and Ai\_Read -- reception -- and decoding is carried out and the decoding address DADDi is outputted.

[0026] Here, the example of said address selection decoder 40 consists of the inverters I11, I12, and I13 for signal reversal, the transmission gates G1 and G2, G3, a transistor P1 for initialization, and inverter latch L1, as shown in the block 40 of drawing 2. For example, in lead actuation, said lead command related signal DRREQ is high-level, and is impressed. Therefore, since the turn-on of transmission gate G3 is carried out, lead address Ai\_Read is offered as latch's L1 input. After being maintained by the low level by initialization, said latch's L1 output reverses said lead level of addressing, and is outputted as the decoding address DADDi for a lead.

[0027] The WORD line W/L enabling circuit 50 receives the high voltage VPP as supply voltage of operation, receives said decoding address DADDi and line block address BADDi, and outputs the line address coding signal PXi as high-voltage level. Here, one example of said WORD line W/L enabling circuit 50 consists of NAND gate NAN2, inverters I17 and I18, P channel MOS transistors P2 and P3 that acted as the cross couple, and N-channel MOS transistors N1 and N2, as shown in the block 50 of drawing 2. The configuration of the WORD line W/L enabling circuits 51, 52, and 53 is the same as the configuration of said circuit 50, and it turns out within the same block that only the inputs of said decoding address DADDi differ.

[0028] Since it enables the WORD line of the column cel array block chosen by the column address decoding signal BSY, the PXiD circuits 60, 61, 62, and 63 receive PXi (PX0, PX1, PX2, PX3) of a line address coding signal, and the block control control signal BSYi (BSY1-BSYm) as an input signal, and generate output signals PXiD, PXiDD, and PXiBD. Said outputted PXiD, PXiDD, and PXiBD are impressed to the WORD line drivers 70, 71, 72, and 73. With the detail of an example about one PXiD circuit 60 here As shown in the block 60 of drawing 2, receive the high voltage VPP as operating voltage, and it operates. 1st NAND gate NAN3 which receives the coding LSB signal PXi of a line address, and said block control control signal BSYi among address coding signals, and generates a NAND output, 2nd NAND gate NAN4 which receives the coding LSB signal PXi of said line address, and said block control control signal BSYi, and generates a NAND output, The 1st inverter I19 which generates the 1st drive control signal PXiD for receiving said high voltage VPP as operating voltage, operating, reversing the output of said 1st NAND gate NAN3, and controlling said WORD line driver, the 2nd inverter I20 which generates the 2nd drive control signal PXiDD for reversing the output of said 2nd NAND gate NAN4, and controlling said WORD line driver -- since -- it is constituted. Since current \*\*\*\* is covered, \*\* of the AKUCHIBESHON level of said BSYi impressed to high-voltage VPP level is also good.

[0029] The WORD line drivers 70, 71, 72, and 73 for driving the WORD lines WL0, WL1, WL2, and WL3 which correspond, respectively consist of transistors N3, N4, N5, and N6, respectively, and are driven by said high voltage VPP. The input signal NWEi impressed to the drain terminal of said transistor N3 is the Normal WORD line enable signal offered with the line decoder which is not illustrated.

[0030] When the semiconductor device which performs a static RAM actuation interface is mentioned as an example, the DRAM cel array arrangement structure where this invention is applied is arranged so that the area penalty on a layout may be minimized, and two memory cell array blocks can share one section WORD line driver.

[0031] The high voltage VPP must be impressed to the WORD line W/L enabling circuits 50, 51, 52, and 53, the PXiD circuits 60, 61, 62, and 63, and the WORD line drivers 70, 71, 72, and 73 so that drawing 2 may show. The parts from which high-voltage VPP charge consumption mainly takes place in the case of DRAM are WORD line enabling, block isolation, block precharge, etc. In this invention, a comb and the electrical-potential-difference drop at the time [ exhausting / actual / high-voltage charge ] are already minimized for the drive time of said high-voltage generator 30 compared with the time [ exhausting / high-voltage charge ]. Therefore, the dependability of memory cell access actuation can be improved and the size of the pumping capacitor in a high-voltage generator can be reduced now.



[0032] Hereafter, the actuation by such configuration and radical Motohara \*\* of this invention are explained.

[0033] In the case of the semiconductor memory equipment which has a SRAM interface especially using a DRAM cel, the WORD line AKUCHIBESHON time by the external signal can have considerable time difference compared with an external signal impression time. This is used in this invention. That is, it is already minimizing the electrical-potential-difference drop at the time [ exhausting / VPP charge ] for the drive time of a high-voltage VPP generator actually a comb and by supplying charge beforehand compared with the time [ exhausting / charge ].

[0034] In drawing 3 which showed the high-voltage VPP generator by the conventional approach, and the timing of WORD line AKUCHIBESHON control of operation, the high-voltage generator 30 is in the condition, AKUCHIBU [ chip selection signal CSB/(X/is the reversal signal of Signal X) / a low level ], and it enables it according to WORD line W/L enabling (VPP\_EN). Since charge should be transmitted through high-voltage VPP power-source Rhine arranged to the local location which should be determined as the shortest pass where a margin required for a pumping is protected, and actually exhausts charge when driving the high-voltage generator 30 to such timing, and supplying charge, it becomes late at the charge supply [ in the location which actually exhausts charge ] time compared with the time [ exhausting / high-voltage VPP charge ]. Namely, the time [ exhausting / of the beginning of VPP charge ] is started on the time point t1, and it happens at the supply time of VPP charge on the time point t2. After all, according to such timing of operation, in WORD line AKUCHIBESHON, AKUCHIBESHON becomes inadequate as level \*\*\*\* as which the electrical-potential-difference drop was displayed with the sign G1, and failure in memory cell actuation will be induced.

[0035] So, in the gestalt of operation of this invention, high-voltage VPP charge is supplied to timing of operation as shown in drawing 4. Drawing 4 is the timing chart of the high-voltage VPP generator 30 and WORD line AKUCHIBU control. Drawing 4 shows that the drop of high-voltage VPP level is minimized, when enabling VPP\_EN of the high-voltage generator 30 is carried out in advance of WORD line W/L enabling. In a drawing, the time point t1 shows the supply time of VPP charge, and the time point t2 puts the time [ exhausting / of the beginning of VPP charge ]. When comparing with the time point on which the time point t1 of drawing 4 was shown in drawing 3, it corresponds to the time point t2 of drawing 3. According to such timing of operation, only the level as which the electrical-potential-difference drop of the high voltage was displayed with the sign 62 ceases to happen, and failure in memory cell access actuation is prevented or minimized.

[0036] Especially in the case of the semiconductor memory equipment which has a SRAM interface using a DRAM cel, the timing of said drawing 4 is advantageous. Since such a memory apparatus prevents the data loss of a cel irrespective of an external command, internal refresh must be performed. In this case, since the refresh actuation by the internal refresh period is secured, it becomes advantageous to vacate the initial fixed field of the section (read/write) of operation for the refresh section. Compared with the external signal impression time for memory cell actuation, it is after the fixed delay instead of the shortest pass at the WORD line enabling-for actual cel actuation time. Since what is necessary is just to determine the external signal impression time for cel actuation as criteria, compared with a WORD line enabling time, it carries out at the actuation time of the high-voltage VPP generator 30 early a little for actual cel actuation. Thus, if the actuation time of the high-voltage VPP generator 30 is early carried out compared with a WORD line AKUCHIBESHON time, since only the charge exhausted before [ exhausting / charge ] will be supplied beforehand, the node side of the high voltage VPP is provided with an electrical potential difference higher than the usual high voltage, and the drop of a voltage level is minimized after all at the time of WORD line AKUCHIBESHON.

[0037] Furthermore, since the size of the power capacitor which prepares the amount of drops of high-voltage VPP level for the application for reducing more can also be reduced within limits from which the high-voltage VPP potential which goes up at the time of supply of charge does not become a problem, it has a big advantage also on the layout side face of a circuit.

[0038] the circuit of the following and drawing 1 -- setting -- memory cell access -- it is working and lead actuation is explained to an example. The access command buffer 10 is provided with address signal ADDi, the chip enable signal CSB, and the write enable signal WEB in a lead mode of operation. Therefore, said access command buffer 10 generates said lead, a light, and the refresh command related signals PREQ, WREQ, and RREQ, and impresses them to the VPP enabling circuit 20 and a delay circuit 25. Therefore, said VPP enabling circuit 20 generates drive control signal VPP\_EN, and said high-voltage generator 30 which received this provides the standby high-voltage output node L1 with the high voltage higher than the power-source electrical potential difference IVCC.

[0039] Moreover, said delay circuit 25 carries out the seal of approval of the lead and light which were delayed, and the refresh command related signals DPREQ, DWREQ, and DRREQ to the address selection decoder 40. Since there is still no consumption of charge at the W/L enabling circuits 50, 51, 52, and 53, the PXiD circuits 60, 61, 62, and 63, and the W/L drivers 70, 71, 72, and 73, the voltage level of the standby high-voltage output node L1 becomes an electrical potential difference ( $VPP+x$ : voltage level whose  $x$  is extent to which charge was supplied here) higher than said high-voltage VPP level. Therefore, before enabling a WORD line, the high-voltage node VPP of drawing 2 is already provided with the electrical potential difference higher than said high voltage. Such actuation is maintained to  $t_2$  at the time time at the time [ exhausting / of drawing 4 / charge ]. On the other hand, if the lead command related signal DRREQ with which only the fixed time was delayed is impressed to the address selection decoder 40, a WORD line will be chosen by the low decoder which carries out decoding of the row address signal where the bit line BL is precharged. In this case, if one Normal WORD line enabling [  $NWE_i$  ] and address coding LSB signal PXi activate a WORD line, the turn-on of the access transistor inside each memory cell connected with the activated WORD line will be carried out. At this time  $t_2$ , i.e., the time point of drawing 4, consumption of charge takes place first.

[0040] Here, in that of \*\*\*\*\* by which an electrical potential difference ( $VPP+x$ ) higher than said high-voltage VPP level is impressed as driver voltage at the time of AKUCHIBESHON of a WORD line, the drop greatest on the time point  $t_2$  or later at the time [ exhausting / charge ] does not separate from high-voltage VPP level greatly, when only the level displayed with the sign G2 on the basis of the level of said high voltage VPP comes to happen and it contrasts with the sign G1 of drawing 3. Therefore, the phenomenon performed on an electrical potential difference with inadequate AKUCHIBESHON of a WORD line is prevented fundamentally. The specified bit line which was connected with the storage node of each memory cell and this memory cell can share a charge as the turn-on of said access transistor is carried out. After the charge share ring of the charge begins to be carried out to the bit line, it operates by the pulse to which a sense amplifier is impressed. After each sense amplifier carries out sensing magnification of the electrical potential difference of the correspondence bit line, it is stored in a latch as data of a memory cell connected with the bit line which carried out current specification of this. Said stored data are passed by the I/O I/O line according to enabling [ of column selection Rhine CSL which answers a column address decoding signal ]. In this case, the data which it did not enable column selection Rhine CSL and were not passed by said I/O I/O line are rewritten by the memory cell while said WORD line is activated, and refresh actuation called AKUCHIBU recovery action is performed.

[0041] if it is people with the knowledge of the technique concerned, understanding also by whom will have come out of the concept which this specification was shown being applicable with other various methods of the specific example of application. The approach of setting up a memory cell array and accessing it is not so important in this invention, and, similarly the method of operating a refresh circuit does not have importance so much. Moreover, the indicated timing signal shows a part of approach of operation by this invention, is more efficient and can use many other available approaches for a circuit designer. Therefore, the detailed example of implementation over this shall be included in this invention, and shall be included in the range of a claim.

[0042] On the other hand, although detailed explanation of this invention explained the example of a gestalt of concrete operation, unless it separates from the range of this invention, of course, various deformation is possible. Therefore, the range of this invention is limited to the example of a gestalt of the explained operation, is not decided, and should be extended even to not only the below-mentioned claim but this claim, and an equal thing.

[0043]

[Effect of the Invention] As explained above, the drive time of a high-voltage generator is early carried out compared with the time [ exhausting / charge ], and according to this invention which minimizes the electrical-potential-difference drop at the time [ exhausting / actual / high-voltage charge ], it is effective in the ability to secure the dependability of memory cell access actuation. Moreover, since the size of the pumping capacitor in a high-voltage generator can be reduced, it is effective in the layout of a circuit decreasing.

---

[Translation done.]

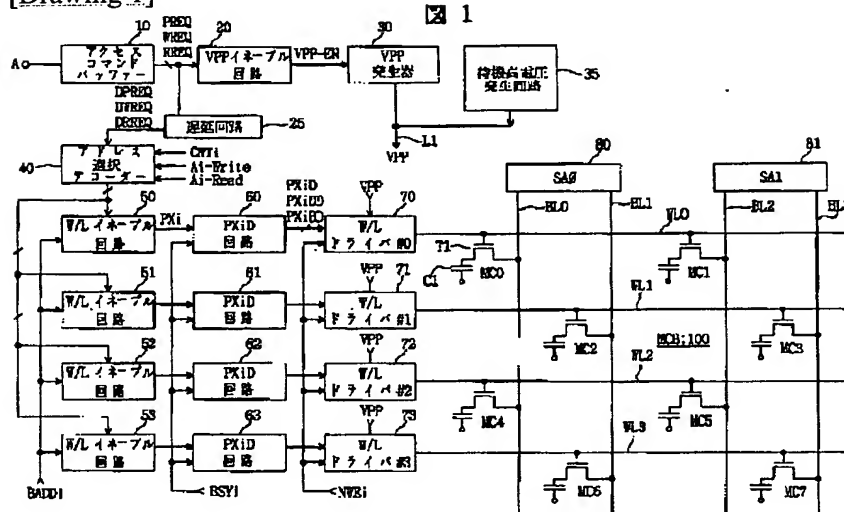
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

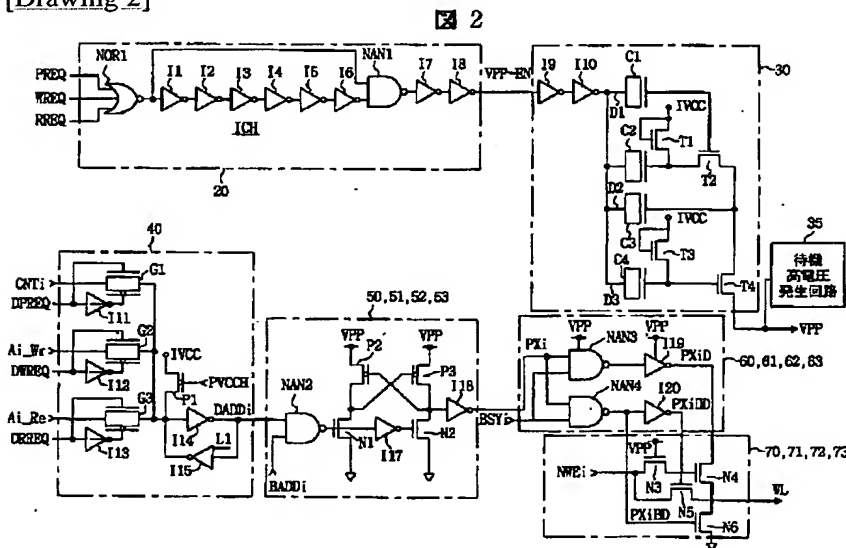
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

[Drawing 1]

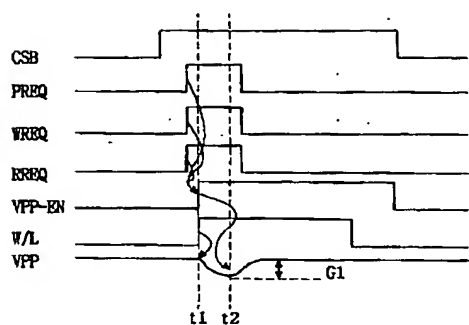


[Drawing 2]



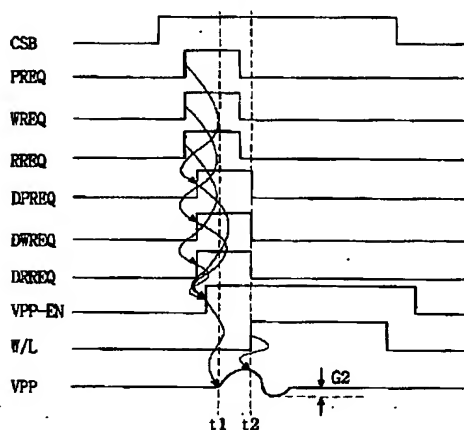
[Drawing 3]

図 3



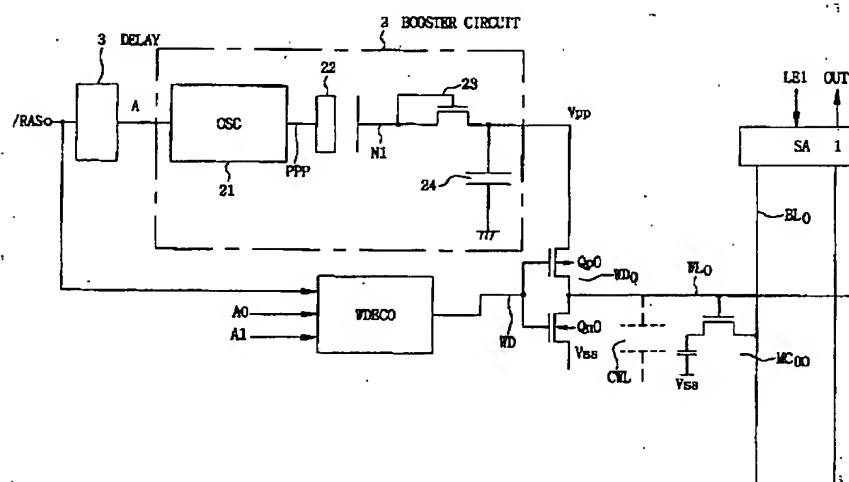
[Drawing 4]

図 4



[Drawing 5]

図 5



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-170387  
(P2002-170387A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl.<sup>7</sup>

G11C 11/407  
11/403  
11/408

識別記号

F I

G11C 11/34

テラワード (参考)

354D 5M024  
371J  
354F  
354B

審査請求 未請求 請求項の数23 OL (全9頁)

(21) 出願番号 特願2001-197217(P2001-197217)

(22) 出願日 平成13年6月28日 (2001.6.28)

(31) 優先権主張番号 2000-69833

(32) 優先日 平成12年11月23日 (2000.11.23)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 ▲ジョ▼成奎

大韓民国京畿道水原市八達区池洞260-27

(74) 代理人 100076428

弁理士 大塚 康徳 (外3名)

Fターム(参考) 5M024 AA24 AA40 AA58 BB07 BB08

BB27 BB29 BB35 BB36 BB37

BB39 CC27 DD62 DD85 DD90

EE05 EE30 FF03 GG02 HH01

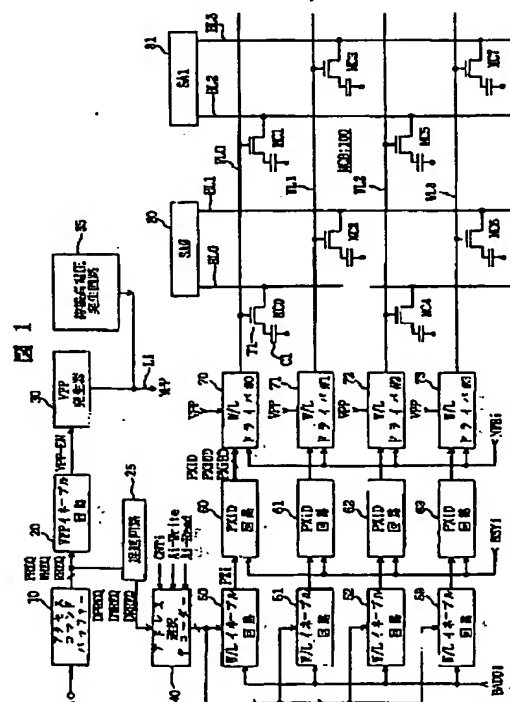
PP01 PP02 PP03 PP07

(54) 【発明の名称】 高電圧発生器を有する半導体装置及びその高電圧供給方法

(57) 【要約】

【課題】 貯蔵されたデータをリフレッシュすべきメモリセルをもち、内部的にリフレッシュ機能を行いながら、外部的にはSRAM (static random access memory) 製品のようなタイミング条件で動作する半導体メモリ装置に採用するに適合した高電圧発生器及び高電圧供給方法を提供するにある。

【解決手段】 静的RAM動作インターフェースを行う半導体メモリ装置において、複数のワードラインと複数のビットラインのインターセクションで提供された複数のリフレッシュ型メモリセルMCnと、メモリセルアクセス動作区間のみで提供される駆動制御信号に応じて、パワーソース電圧よりも高い高電圧を待機高電圧出力ノードに提供する高電圧発生器30と、前記メモリセルアクセス動作区間で前記高電圧発生器の駆動時点が前記待機高電圧出力ノードでのチャージ消耗時点よりも早くなるようにするため印加されるコマンド情報に応じて、前記駆動制御信号VPP-ENを生成する駆動制御信号発生部30とをもち、



(2)

## 【特許請求の範囲】

【請求項1】 静的RAM動作のインターフェースを行う半導体メモリ装置において、

複数のワードラインと複数のビットラインとの交差部に提供される複数のリフレッシュ型メモリセルと、メモリセルアクセス動作区間のみに提供される駆動制御信号に応じて、パワーソース電圧よりも高い高電圧を待機高電圧出力ノードに提供する高電圧発生器と、前記メモリセルアクセス動作区間で前記高電圧発生器の駆動時点が前記待機高電圧出力ノードでのチャージ消耗時点よりも早くなるようにするため印加されるコマンド情報に応じて、前記駆動制御信号を生成する駆動制御信号発生部とを有することを特徴とする半導体メモリ装置。

【請求項2】 前記チャージ消耗時点は、前記ワードラインのうち選択されたワードラインがイネーブルされる時点に対応することを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記コマンド情報はリード、ライト、及びリフレッシュコマンド関連信号であることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 前記高電圧発生器の駆動時点よりも一定時間だけ遅延された時点において、前記ワードラインのうち選択されたワードラインがアクチベーションされるようにするワードライン駆動関連内部回路をさらに具備することを特徴とする請求項1に記載の半導体メモリ装置。

【請求項5】 外部パワーソース電圧を受信して内部電源電圧を発生する内部電源電圧発生部と、前記内部電源電圧を受信して動作する内部回路と、前記内部回路で前記内部電源電圧のチャージが消耗され始める時点よりも前記内部電源電圧発生部のチャージ供給時点を早くするために、前記内部電源電圧発生部に駆動制御信号を印可する駆動制御信号発生部とを具備することを特徴とする半導体装置。

【請求項6】 前記内部電源電圧発生部の前記内部電源電圧は前記外部パワーソース電圧よりも高い高電圧であることを特徴とする請求項5に記載の半導体装置。

【請求項7】 前記半導体装置はDRAMセルを持ち静的RAM動作インターフェースを行う半導体メモリ装置であることを特徴とする請求項5に記載の半導体装置。

【請求項8】 前記チャージ消耗時点は、前記DRAMセルに連結されたワードラインのうち選択されたワードラインがイネーブルされる時点よりも前の時点であることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記内部電源電圧発生部の出力ノードに共通に連結される静的な高電圧発生器を具備することを特徴とする請求項7に記載の半導体装置。

【請求項10】 内部電源電圧発生部は、前記パワーソース電圧を高電圧でブースティングするためのポンピン

2

グキャパシタを複数持つことを特徴とする請求項6に記載の半導体装置。

【請求項11】 複数のワードラインと複数のビットラインとの交差部に連結される複数のリフレッシュ型メモリセルを具備し、静的RAM動作のインターフェースを行う半導体メモリ装置内に採用された高電圧発生器を制御するための方法であって、前記メモリセルのアクセス動作区間で印加される外部コマンド情報を受信するステップと、

10 前記受信された外部コマンド情報に基づき、前記高電圧発生器の出力ノードでチャージが消費される時点より前記高電圧発生器のチャージ供給時点が早くなるようにするための駆動制御信号を前記高電圧発生器に提供するステップとを有することを特徴とする方法。

【請求項12】 前記外部コマンド情報はリード、ライト、及びリフレッシュコマンド関連信号であることを特徴とする請求項11に記載の方法。

【請求項13】 静的RAM動作を行う半導体メモリ装置において、  
20 外部電源電圧に比べて高い電位を選択的に提供する内部電源電圧発生装置と、

前記内部電源電圧発生装置の動作時点を、前記半導体メモリ装置のメモリセル駆動関連回路内での前記高い電位に対するチャージ消耗時点よりもチャージ供給時点が早くなるようにするワードライン駆動関連内部回路とを有することを特徴とする半導体メモリ装置。

【請求項14】 静的RAM動作を行う半導体メモリ装置において、  
30 複数のワードラインと複数のビットラインとの間に連結される複数のリフレッシュ型メモリセルと、アドレス信号、チップイネーブル信号、及びライトイネーブル信号を含む外部信号を入力してリード、ライト、及びリフレッシュコマンド関連信号を含む出力信号を出力するアクセスコマンドバッファと、  
前記出力信号のうち少なくとも一つを受信して、高電圧発生のための駆動制御信号を出力する高電圧イネーブル回路と、  
前記駆動制御信号に応じて高電圧を発生する高電圧発生器と、

40 前記高電圧発生器で高電圧が発生される時点より一定時間だけ遅延された時点で、前記ワードラインのうち選択されたワードラインを前記高電圧で駆動させる内部回路とを具備することを特徴とする半導体メモリ装置。

【請求項15】 前記内部回路は、  
前記アクセスコマンドバッファで出力される出力信号を一定時間だけ遅延して出力する遅延回路と、  
前記遅延された出力信号を受信し、アドレスデコーディング信号を出力するアドレス選択デコーダーと、  
前記アドレスデコーディング信号とブロックアドレス信号とを受信して、行デコーディング信号を出力する行デ

50

(3)

3

コーダー回路と、

前記行デコーディング信号に応じて、前記選択されたワードラインを前記高電圧で駆動するワードラインドライバとを含むことを特徴とする請求項14に記載の半導体メモリ装置。

【請求項16】 前記高電圧発生器の出力ノードに共通に連結される待機高電圧発生器を具備することを特徴とする請求項14に記載の半導体メモリ装置。

【請求項17】 前記待機高電圧発生器は待機動作のときに前記高電圧と同一なレベルの電圧を発生することを特徴とする請求項16に記載の半導体メモリ装置。

【請求項18】 複数のワードラインと複数のビットラインとの交差部に連結される複数のリフレッシュ型メモリセルを具備し、静的RAM動作インターフェースを行う半導体メモリ装置内に採用された高電圧発生器を制御するための方法であって前記メモリセルのアクセス動作区間で印加される外部コマンド信号を入力してコマンド出力信号を生成するステップと、  
電圧が内部回路に供給されるようにし、前記コマンド出力信号を遅延するステップと、  
前記遅延されたコマンド出力信号を、前記ワードラインを選択的に駆動するため前記内部回路に供給するステップとを具備して、  
前記ワードラインがアクチベーションされる時点が前記高電圧の供給時点よりも一定時間だけ遅延されるようにすることを特徴とする方法。

【請求項19】 前記遅延されたコマンド出力信号はアドレス選択デコーダーに印加されることにより、アドレスデコーディング信号が生成されるようにすることを特徴とする請求項18に記載の方法。

【請求項20】 前記内部回路は、ワードラインイネーブル回路、行デコーダー回路、及びワードラインドライバを含むことを特徴とする請求項19に記載の方法。

【請求項21】 前記ワードラインイネーブル回路は、前記デコーディングアドレスと行ブロックアドレスを受信して行アドレスコーディング信号を高電圧レベルとして出力することを特徴とする請求項20に記載の方法。

【請求項22】 前記高電圧供給時点は前記内部回路のチャージ消耗時点よりも早いことを特徴とする請求項18に記載の方法。

【請求項23】 前記チャージ消耗は前記高電圧が供給されてから前記ワードラインがイネーブルされる時点の前に前記内部回路で起こることを特徴とする請求項22に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術の分野】本発明は、半導体装置の分野に係るもので、特に、貯蔵されたデータをリフレッシュすべきメモリセルをもち、内部的にリフレッシュ機能を行いながら外部的にはSRAM (static random access m.

4

emory) 製品のようなタイミング条件で動作する半導体メモリ装置に採用するのに適合した高電圧発生器を有する半導体装置及びその高電圧供給方法に関する。

【0002】

【従来の技術】一般に、ランダムアクセスメモリ (RAM) は、個別的にアドレス指定の可能な、メモリセルとして知られたエレメントのアレイ内に電子データを貯蔵する。2つの基本的なRAMセルが多く用いられる。静的RAM (SRAM) セルと動的RAM (DRAM) セルがそれである。SRAMセルは、無期限にデータを貯蔵できる静的ラッチング構造 (例えば6個のトランジスタ或いは4個のトランジスタと2個の抵抗から構成) をもつ。DRAMセルは、貯蔵ノード (例えば1個のキャパシタ) と単一アクセストランジスタをもつ。ここで、前記貯蔵ノードが充電されながらセルにデータが貯蔵される。

【0003】DRAMセルは、全てのキャパシタで電荷漏出が発生するため、データを永久的に貯蔵することができないという特性をもつ。充電された貯蔵ノードは放電されて、結局はデータエラーが発生する。このような現象を防止するため、DRAMセルには周期的な“リフレッシュ”動作が必要である。即ち、充電セルを再充電させなければならない。このような周期的なリフレッシュ機能は、1秒当たり何度かそれぞれのセルで行われてデータ損失を防止する。このため、データ損失が発生する前に各セルでDRAMリフレッシュ機能を実行するリフレッシュ回路が必要である。初期DRAM (特に、外部的にSRAM製品のようなタイミング条件で動作するDRAM) では、外部記憶装置制御器の制御に従い必要なリフレッシュ回路の機能を行った。最近では、大部分のDRAMはリフレッシュ回路が統合された内部論理回路を具備するので、“内部リフレッシュ機能”を行うことができる。

【0004】このような不都合な特性にもかかわらず、DRAMはSRAMと異なった利点をもつ。中でもDRAMメモリセルの大きさが類似した工程を通して製造されるSRAMメモリセルよりも一桁だけ小さいことが挙げられる。このようにその大きさが縮小されて装置の費用が節減され、同一のメモリ費用でより多くのデータを貯蔵することができる。従って、周辺回路に付加的な外部動作条件を付加せずにSRAMを代替できるDRAMを開発することが要求されている。

【0005】一方、半導体装置の動作において、DC発生器の効率的な動作を保障するのは装置動作のパフォーマンスのために非常に重要である。それで、このような発生器がより安定的に動作できるようにするための多くの努力と試みが行われている。特に、図5に示すように、1つのトランジスタと1つのキャパシタからなるDRAMメモリセル (MC00) を採用したメモリ素子の場合に、電源電圧を昇圧して、電源電圧よりも電位の高い電圧VPPを生成するブースター回路2が採用される。高電圧発生器又はブースティング回路ともいわれる前記ブースター回

50



(4)

5

路 2 は、内部のポンピングキャパシタンス 22 を用いて電源電圧を一定レベルだけ昇圧した高電圧を生成し、ブースティングされた電圧を必要とする内部回路、例えば、ワードラインを駆動するワードラインドライバ WD0 に高電圧 VPP を提供する。

【0006】例えば、DRAM などのような半導体装置において、ワードラインに対し選択レベルを提供するブースター回路及びブースター回路のコントロール方法はヤマダ氏に 1997 年 3 月 11 日付で特許付与された米国特許第 5,610,863 号に開示されている。前記図 5 は、前記米国特許の図 2 に図示されたものである。前記米国特許には、パワーソース電圧よりも高い高電圧を発生するブースター回路と、アクティブ区間の間に提供されるワード選択信号に応じて、前記ブースター回路の出力ターミナルを対応されるワードラインに連結するためのワードドライバとを具備し、前記ブースティング回路のブースティング動作を前記アクティブ区間よりも長く連続させるように、ブースティングコントロール信号を前記ブースター回路に提供するためのブースティングコントロール信号発生回路が開示されている。このような構成をもつことにより、ブースター回路のブースティングがアクティブ区間よりも長く行われるので、ショートサイクルタイムであるときにさえワードラインに満足できるほどにリード動作のために要求される高電圧が提供されるようになって、メモリの信頼性が改善される。

【0007】しかし、前記米国特許は、アクティブ区間の初期で高電圧チャージが供給されるときにレベル低下が発生する問題に対する解決策をもっていない。このような高電圧チャージの消耗時点で発生する高電圧チャージの電圧ドロップに対する問題は、以下の説明でより明確になる。

【0008】従来の DRAM の動作は、メモリセルアクセスのためのワードラインイネーブル時点が、ランダムに印加される外部タイミングに依存して決定され、アクセスタイムを最短化するためその時点を基準に最短パスでワードラインイネーブルパスが形成される。この場合、高電圧レベルのチャージを供給する時点は、漏泄によるチャージ消耗を最小化するため、該当ワードラインイネーブル時点を基準に決定するしかない。そして、高電圧発生器はポンピングキャパシタンスを用いたブースティング方式によりチャージを生成するので、ブースティングノード端のプリチャージタイムが長くなる。また、該当ワードラインイネーブル時点を基準に供給されるチャージの伝達時点は、ブースティングに必要なレース (race) を守り決定されなければならない。それで、半導体メモリの待機モードで高電圧のレベルが維持された状態で、実際に高電圧発生器のチャージ供給時点は、高電圧 VPP レベルのチャージを最初に消耗する時点に比べて遅くなる。このため、実際には最初に高電圧 VPP を消耗する時点で当該高電圧 VPP の電位を見ると、3.3V の電源電

6

圧をもつ DRAM の場合、普通基準電位に比べて約 0.5V 乃至 0.7V 程度の電圧ドロップが現れる。このような電圧ドロップは当該電源を使うチェーン (chain) で遅延をもたらし、甚だしい場合にはメモリセル動作の失敗を誘発させることになる。後述されるが、図 3 ではワードライン (W/L) イネーブルに合わせて高電圧発生器をイネーブル (VPP\_EN) した場合に、高電圧 VPP レベルがドロップされることを示している。図面においてタイムポイント t1 は VPP チャージの最初の消耗時点を示し、タイムポイント t2 は VPP チャージの供給時点をさす。このような動作タイミングによると、符号 G1 で表示されたレベルだけの電圧ドロップが起こってメモリセル動作の失敗を誘発するため、結局、半導体装置のパフォーマンス低下を招くことになる。

【0009】そこで、前記チャージドロップの問題を解決するための好ましい技術が要求されているのが、実情である。

【0010】

【発明が解決しようとする課題】本発明の目的は、上記のような従来の問題点を解決できる改善された技術を提供することにある。

【0011】本発明の他の目的は、改善された高電圧発生器を採用した半導体装置とその動作方法を提供することにある。

【0012】本発明の又他の目的は、高電圧 VPP 発生器を効果的に制御して高電圧 VPP の電圧ドロップを防止する動作制御方法を提供することにある。

【0013】本発明の又他の目的は、実際の高電圧チャージ消耗のときの電圧ドロップを最小化または減少させることができる半導体装置及びそれに従う高電圧供給方法を提供することにある。

【0014】

【課題を解決するための手段】このような目的を達成するため、本発明に係る半導体装置は、外部パワーソース電圧を受信して内部電源電圧を発生する内部電源電圧発生部と、前記内部電源電圧を受信して動作される内部回路と、前記内部回路で前記内部電源電圧のチャージが消耗され始める時点より前記内部電源電圧発生部のチャージ供給時点を早くするために、前記内部電源電圧発生部に駆動制御信号を印加する駆動制御信号発生部とを具備することを特徴とする。

【0015】好ましくは、前記半導体装置が静的 RAM 動作インターフェースを行う半導体メモリ装置である場合、複数のワードラインと複数のビットラインとの交差部に提供される複数のリフレッシュ型メモリセルを具備することが出来る。また、前記内部電源電圧発生部は、メモリセルアクセス動作区間だけに提供される駆動制御信号に応じて、パワーソース電圧よりも高い高電圧を待機高電圧出力ノードに提供する高電圧発生器である。

【0016】このような構成によると、実際の高電圧チ

(5)

7

ャージの消耗の時の電圧ドロップを最小化することができるので、メモリセルアクセス動作の信頼性が保障され、高電圧発生器内のポンピングキャパシタのサイズを減らすことができ、回路のレイアウトが減少される。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を用いて説明する。図中、互いに同一或いは類似した部分は説明及び理解の便宜上同一乃至類似した符号で記載される。

【0018】図1は、本発明の一実施の形態に従い半導体装置に適用された高電圧発生器及びワードライン駆動関連の回路ブロック図である。また、図2は、図1内の回路ブロックのいくつかの一例を示す具体的な回路図である。

【0019】図1に示すように、メモリセルアレイ100内のリフレッシュ型メモリセルMC0, MC1, MC2, MC3, ..., MC7は、複数の行と列のマトリックスをなすワードラインWL0, WL1, WL2, WL3及びビットラインBL0, BL1, BL2, BL3の交差点に接続される。ブロックセリクスアンプ80, 81は図面の上部で対応されるビットラインと連結される。

【0020】高電圧VPP発生器30は、メモリセルアクセス動作区間のみに提供される駆動制御信号VPP\_ENに応じて、パワーソース電圧IVCCよりも高い高電圧を待機高電圧出力ノードL1に提供する。前記高電圧VPP発生器30の具体的な例は、図2のブロック30に示すように、インバーターI9, I10、ポンピング用キャパシタC1, C2, C3, C4、及び駆動用トランジスタT1, T2, T3, T4から構成される。

【0021】駆動制御信号発生部として機能するVPPイネーブル回路20は、前記メモリセルアクセス動作区間での前記高電圧発生器30の駆動時点が前記待機高電圧出力ノードL1でのチャージ消耗時点よりも早くなるようにするため、印加されるコマンド情報PREQ, WREQ, RREQに応じて前記駆動制御信号VPP\_ENを生成する。ここで、前記コマンド情報はそれぞれリード、ライト、及びリフレッシュコマンド関連信号である。

【0022】前記VPPイネーブル回路20の具体例は、図2のブロック20に示すように、リード、ライト、及びリフレッシュコマンド関連信号PREQ, WREQ, RREQを受信してNOR出力を生成するNORゲートNOR1と、前記NORゲートNOR1の出力を所定時間だけ遅延するインバーターチェーンI11と、前記インバーターチェーンの出力I11と前記NORゲートNOR1の出力とを受信してNAND出力を生成するNANDゲートNAND1と、前記NANDゲートの出力をインバーティングする第1インバーターI17と、前記第1インバーターI17の出力を反転する第2インバーターI18と、から構成される。

【0023】待機高電圧発生回路35は、半導体装置がアクセス動作を行わない動作区間、即ち、待機モードのときにも一定した高電圧VPPを生成する。電力消費を最小化するため、前記待機高電圧発生回路35の電流駆動能力

8

は前記高電圧VPP発生器30の電流駆動能力と比較するときに相対的に小さい。ここで、前記待機高電圧発生回路35の細部構成は、本分野の通常の知識をもった者にとっては公知である。

【0024】ワードライン駆動関連回路の一つとしてアクセスコマンドバッファ10は、入力端を通じて印加される信号、例えば、リード、ライト、及びリフレッシュコマンド関連信号PREQ, WREQ, RREQをバッファリングして出力する。ここで、前記リード、ライト、及びリフレッシュコマンド関連信号PREQ, WREQ, RREQは前記VPPイネーブル回路20に直接に印加され、アドレス選択デコーダー40には遅延回路25により一定時間だけ遅延されたリード、ライト、及びリフレッシュコマンド関連信号DPREQ, DWREQ, DRREQが印加される。ここで、前記遅延回路25は通常の遅延素子から構成される。半導体装置でリード及びライト命令はアドレス信号ADDi、チップイネーブル（“チップ選択”という）信号CSB、及びライトイネーブル信号WEBを入力する外部入力端のうち一つ以上の外部入力端に信号遷移が発生することにより開始される。

【0025】リード、ライト、またはリフレッシュモードに従いそれぞれ異なったアドレスが受信されるようにするアドレス選択デコーダー40は、制御信号として印加される前記関連信号DPREQ, DWREQ, DRREQと、リフレッシュ、ライト、及びリードモードで提供されるアドレスCNAi, Ai\_Write, Ai\_Readを受信及びデコーディングしてデコーディングアドレスDADDiを出力する。

【0026】ここで、前記アドレス選択デコーダー40の具体例は、図2のブロック40に示したように、信号反転用インバーターI11, I12, I13、伝送ゲートG1, G2, G3、初期化用トランジスタP1、及びインバーターラッチL1から構成される。例えば、リード動作の場合、前記リードコマンド関連信号DRREQはハイレベルで印加される。よって、伝送ゲートG3がターンオンされるので、リードアドレスAi\_ReadはラッチL1の入力として提供される。前記ラッチL1の出力は、初期化によりローレベルに維持されてから前記リードアドレスのレベルを反転してリード用デコーディングアドレスDADDiとして出力される。

【0027】ワードラインW/Lイネーブル回路50は、高電圧VPPを動作電源電圧として受信し、前記デコーディングアドレスDADDiと行ブロックアドレスBADDiを受信して行アドレスコーディング信号PXiを高電圧レベルとして出力する。ここで、前記ワードラインW/Lイネーブル回路50の一具体例は、図2のブロック50に示すように、NANDゲートNAND2、インバーターI17, I18、クロスカプセルされたPチャンネルMOSトランジスタP2, P3、及びNチャンネルMOSトランジスタN1, N2から構成される。ワードラインW/Lイネーブル回路51, 52, 53の構成は前記回路50の構成と同一であり、同一ブロック内では前記デコーディングアドレスDADDiの入力だけが異なっていることがわかる。

9

【0028】PXiD回路60, 61, 62, 63は、カラムアドレスデコーディング信号BSYにより選択されたカラムセルアレイブロックのワードラインがイネーブルされるようにするため、行アドレスコーディング信号のPXi (PX0, PX1, PX2, PX3)とブロックコントロール制御信号BSYi (BSY1-BSYm)を入力信号として受信して、出力信号PXiD, PXiDD, PXiBDを生成する。前記出力されたPXiD, PXiDD, PXiBDはワードラインドライバ70, 71, 72, 73に印加される。ここで、一つのPXiD回路60に関する一例の詳細では、図2のブロック60に示すように、高電圧VPPを動作電圧として受信して動作し、アドレスコーディング信号のうち行アドレスのコーディングLSB信号PXiと前記ブロックコントロール制御信号BSYiとを受信してNAND出力を生成する第1 NANDゲートNAN3と、前記行アドレスのコーディングLSB信号PXiと前記ブロックコントロール制御信号BSYiとを受信してNAND出力を生成する第2 NANDゲートNAN4と、前記高電圧VPPを動作電圧として受信して動作し、前記第1 NANDゲートNAN3の出力を反転して前記ワードラインドライバを制御するための第1 駆動制御信号PXiDを発生する第1 インバーターI19と、前記第2 NANDゲートNAN4の出力を反転して前記ワードラインドライバを制御するための第2 駆動制御信号PXiDDを発生する第2 インバーターI20と、から構成される。前記BSYiのアクチベーションレベルは電流漏泄をカバーするために高電圧VPPレベルに印加されるてもよい。

【0029】それぞれ対応するワードラインWL0, WL1, WL2, WL3を駆動するためのワードラインドライバ70, 71, 72, 73は、それぞれトランジスタN3, N4, N5, N6から構成され、前記高電圧VPPで駆動される。前記トランジスタN3のドレイン端子に印加される入力信号NWEiは、図示されない行デコーダで提供されるノーマルワードラインイネーブル信号である。

【0030】静的RAM動作インターフェースを行う半導体装置を例として挙げた場合、本発明が適用されるDRAMセルアレイ配置構造は、レイアウト上のエリアペナルティを最小化するように、2個のメモリセルアレイブロックが一つのセクションワードラインドライバを共有できるように配置される。

【0031】図2から分かるように、ワードラインW/Lイネーブル回路50, 51, 52, 53, PXiD回路60, 61, 62, 63及びワードラインドライバ70, 71, 72, 73には、高電圧VPPが印加されなければならない。DRAMの場合に高電圧VPPチャージ消耗が主に起こる部分はワードラインイネーブル、ブロックアイソレーション、ブロックプリチャージなどである。本発明では、前記高電圧発生器30の駆動時点を高電圧チャージ消耗時点に比べて早くし、実際の高電圧チャージ消耗時の電圧ドロップを最小化する。従って、メモリセルアクセス動作の信頼性が改善され、高電圧発生器内のポンピングキャパシタのサイズを減らすことができるようになる。

(6)

10

【0032】以下、このような構成による動作及び本発明の基本原理を説明する。

【0033】特に、DRAMセルを用いSRAMインターフェースをもつ半導体メモリ装置の場合、外部信号によるワードラインアクチベーション時点が外部信号印加時点に比べ相当な時間差をもつことができる。本発明ではこれを用いる。即ち、高電圧VPP発生器の駆動時点をチャージ消耗時点に比べて早くし、予めチャージを供給することにより実際にVPPチャージ消耗時の電圧ドロップを最小化することである。

【0034】従来の方法による高電圧VPP発生器及びワードラインアクチベーション制御の動作タイミングを示した図3において、高電圧発生器30は、チップ選択信号CSB/ (X/は信号Xの反転信号) がローレベルにアクチブされた状態で、ワードラインW/Lイネーブルに合わせてイネーブル (VPP\_EN) される。このようなタイミングで高電圧発生器30を駆動する場合、チャージを供給する時点はポンピングに必要なマージンを守った状態で最短パスに決定されるべきで、実際チャージを消耗する局地的な位置まで配置された高電圧VPP電源ラインを通してチャージが伝達されるべきであるので、実際にチャージを消耗する位置でのチャージ供給時点は高電圧VPPチャージ消耗時点に比べて遅くなる。即ち、VPPチャージの最初の消耗時点がタイムポイントt1で開始され、VPPチャージの供給時点はタイムポイントt2で起こる。結局、このような動作タイミングによると、電圧ドロップは符号G1で表示されたレベル起こって、ワードラインアクチベーションの場合、アクチベーションが不十分になってメモリセル動作の失敗が誘発されることになる。

【0035】そこで、本発明の実施の形態では、図4に示したような動作タイミングで高電圧VPPチャージを供給する。図4は高電圧VPP発生器30及びワードラインアクチブコントロールのタイミング図である。図4は、ワードラインW/Lイネーブルに先だって高電圧発生器30をイネーブルVPP\_ENした場合に、高電圧VPPレベルのドロップが最小化されることを示している。図面においてタイムポイントt1はVPPチャージの供給時点を示し、タイムポイントt2はVPPチャージの最初の消耗時点をさす。図4のタイムポイントt1を図3に示したタイムポイントと比較するときに、図3のタイムポイントt2に対応する。このような動作タイミングによると、高電圧の電圧ドロップは符号G2で表示されたレベルしか起こらないようになって、メモリセルアクセス動作の失敗が防止または最小化される。

【0036】前記図4のタイミングは、DRAMセルを用いSRAMインターフェースをもつ半導体メモリ装置の場合に特に有利である。このようなメモリ装置は外部コマンドにかかわらずにセルのデータ損失を防ぐので、内部リフレッシュを行わなければならない。この場合、内部リフレッシュ周期によるリフレッシュ動作を保障するため、

(7)

11

動作区間（リード/ライト）の初期一定領域をリフレッシュ区間に空けておくのが有利になる。メモリセル動作のための外部信号印加時点に比べて、実際のセル動作のためのワードラインイネーブル時点は、最短パスでなく一定の遅延の後である。高電圧VPP発生器30の動作時点は、セル動作のための外部信号印加時点を基準に決定すればよいので、実際のセル動作のためワードラインイネーブル時点に比べて若干早くする。このように、高電圧VPP発生器30の動作時点ワードラインアクチベーション時点に比べて早くすると、チャージ消耗の以前に消耗されるだけのチャージを予め供給するので、高電圧VPPのノード側には通常の高電圧よりも高い電圧が提供されて、結局、ワードラインアクチベーションのときに電圧レベルのドロップが最小化されるのである。

【0037】更に、高電圧VPPレベルのドロップ量をより減らすための用途で準備するパワーキャパシタのサイズも、チャージの供給のときに上がる高電圧VPP電位が問題にならない範囲内で減らすことができるので、回路のレイアウト側面でも大きな利点がある。

【0038】以下、図1の回路において、メモリセルアクセス動作中でリード動作を例に説明する。リード動作モードにおいて、アドレス信号ADDi、チップイネーブル信号CSB、及びライトイネーブル信号WEBがアクセスコマンドバッファ10に提供される。よって、前記アクセスコマンドバッファ10は、前記リード、ライト、及びリフレッシュコマンド関連信号PREQ, WREQ, RREQを生成して、VPPイネーブル回路20と遅延回路25に印加する。従って、前記VPPイネーブル回路20は駆動制御信号VPP\_ENを発生し、これを受信した前記高電圧発生器30はパワースource電圧IVCCよりも高い高電圧を待機高電圧出力ノードL1に提供する。

【0039】また、前記遅延回路25は遅延されたリード、ライト、及びリフレッシュコマンド関連信号DPREQ, DWREQ, DRREQをアドレス選択デコーダ40に印可する。まだW/Lイネーブル回路50, 51, 52, 53, PXiD回路60, 61, 62, 63, W/Lドライバ70, 71, 72, 73ではチャージの消耗がないので、待機高電圧出力ノードL1の電圧レベルは前記高電圧VPPレベルよりも高い電圧（VPP+x：ここでxはチャージが供給された程度の電圧レベル）になる。従って、ワードラインがイネーブルされる前に既に図2の高電圧ノードVPPには、前記高電圧よりも高い電圧が提供されている。このような動作は図4のチャージ消耗時点のタイム時点t2まで持続される。一方、アドレス選択デコーダ40に一定タイムだけ遅延されたリードコマンド関連信号DRREQが印加されると、ビットラインBLがプリチャージされた状態でローアドレス信号をデコーディングするローデコーダによりワードラインが選択される。この場合、一つのノーマルワードラインイネーブルNWEiとアドレスコーディングLSB信号PXiとがワードラインを活性化させると、活性化されたワードラインに連結された

12

各メモリセル内部のアクセストランジスタがターンオンされる。このとき、即ち、図4のタイムポイントt2でチャージの消耗が最初に起こる。

【0040】ここで、ワードラインのアクチベーションのときに前記高電圧VPPレベルよりも高い電圧（VPP+x）が駆動電圧として印加されているので、チャージ消耗時点のタイムポイントt2の以後で最大のドロップは、前記高電圧VPPのレベルを基準に符号G2で表示されたレベルだけ起こるようになって、図3の符号G1と対比したときに高電圧VPPレベルを大きく外れない。従って、ワードラインのアクチベーションが不十分な電圧で行われる現象は、根本的に防止される。前記アクセストランジスタがターンオンされるに従い、各メモリセルの貯蔵ノードとこのメモリセルに連結された特定したビットラインは電荷を共有することができるようになる。電荷がビットラインにチャージシェアリングされ始めた後、センスアンプが印加されるパルスにより動作する。各センスアンプは対応ビットラインの電圧を感知増幅した後、これを現在特定したビットラインに連結されたメモリセルのデータとしてラッチに貯蔵する。前記貯蔵されたデータは、カラムアドレスデコーディング信号に応答するカラム選択ラインCSLのイネーブルに従い、入出力I/Oラインにパスされる。この場合、カラム選択ラインCSLがイネーブルされなくて前記入出力I/Oラインにパスされなかったデータは、前記ワードラインが活性化されている間に対応するメモリセルにリライトされて、アクティブ回復動作とも言われるリフレッシュ動作が行われる。

【0041】本明細書に提示した概念は特定の適用例の他のいろんな方式により適用されることができ、当該技術の知識をもつ人ならば誰でも理解することができる。メモリセルアレイを設定しアクセスする方法は本発明ではさほど重要でなく、リフレッシュ回路を動作させる方法も同様にさほど重要性を持たない。また、開示されたタイミング信号は、本発明による動作方法の一部を示し、より効率的で回路設計者に利用可能な他の多くの方法を使うことができる。従って、これに対する詳細な実現例は本発明に含められるもので、請求項の範囲に含まれるものとする。

【0042】一方、本発明の詳細な説明では具体的な実施の形態例に関して説明したが、本発明の範囲から外れない限りいろんな変形が可能であることは勿論である。従って、本発明の範囲は説明された実施の形態例に限定されて決められるものではなく、後述の特許請求の範囲だけでなく、この特許請求の範囲と均等なものにまで広げられるべきだ。

【0043】

【発明の効果】以上説明したように、高電圧発生器の駆動時点をチャージ消耗時点に比べて早くして、実際の高電圧チャージ消耗時の電圧ドロップを最小化する本発明によると、メモリセルアクセス動作の信頼性を保障でき

(8)

13

るという効果がある。また、高電圧発生器内のポンピングキャパシタのサイズを減らすことができるので、回路のレイアウトが減少されるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態例に従い半導体装置に適用された高電圧発生器及びワードライン駆動関連回路ブロック図である。

【図2】図1内の各ブロックの一例を示した具体的な回

14

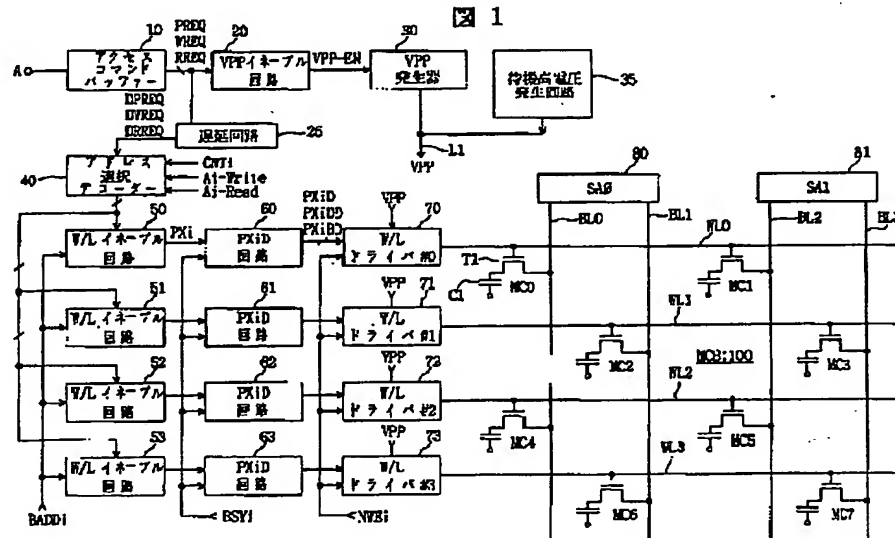
路図である。

【図3】通常の半導体回路での高電圧供給動作を示したタイミング図である。

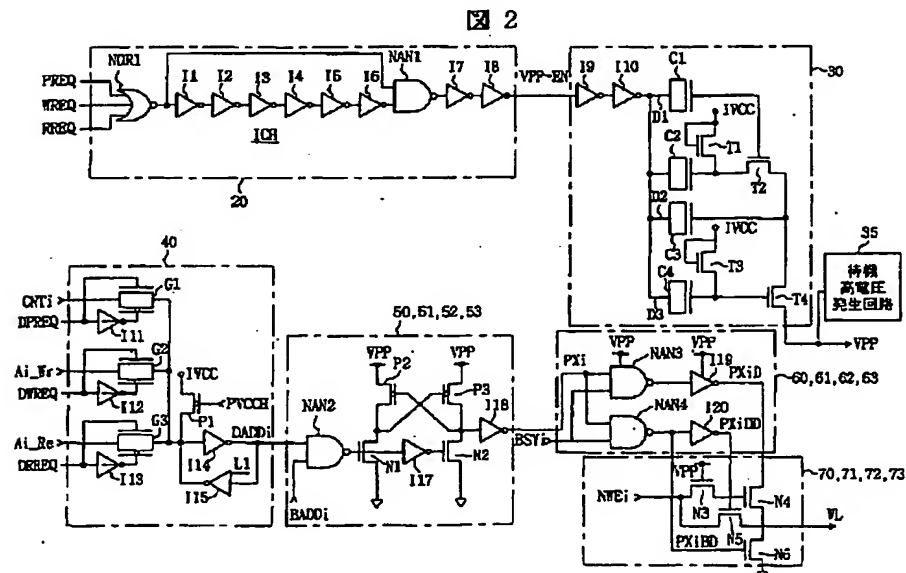
【図4】本実施の形態による高電圧供給動作を示したタイミング図である。

【図5】従来のDRAMにおいてブースター回路の構成を示した図である。

【図1】



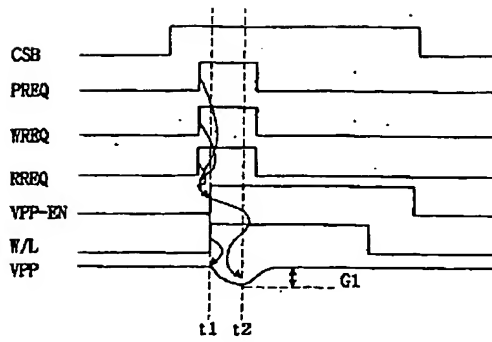
【図2】



(9)

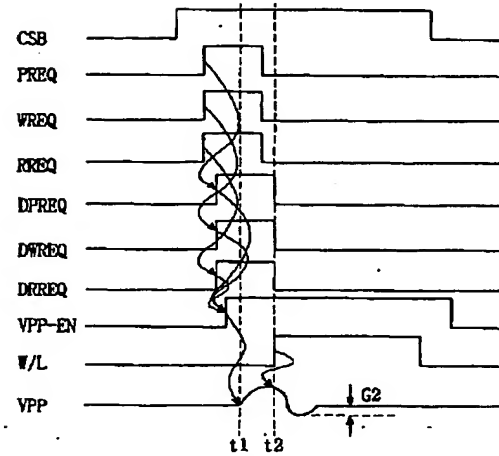
【図3】

図 3



【図4】

図 4



【図5】

図 5

